

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007
Elektronische Logiksysteme mit Rückführung, Zähler

I Einleitung

In dieser Versuchsserie wird die Wirkungsweise elementarer Logikschaltungen mit Rückführung betrachtet, die auch Flip-Flops (FF) genannt werden. Des Weiteren werden daraus entstandene Anwendungen, wie Register, Zähler und Frequenzteiler untersucht.

II Theoretische Grundlagen

Logiksystem mit Rückführung nach Abbildung 1 zeichnen sich dadurch aus, dass Impulse zeitlich gedehnt, Signale einmalig oder wiederholt erzeugt und Binärdaten mit ihnen gespeichert werden können.

Das Glied G1 dient der Übertragung eines einkommenden Signals von E zu A. Das Glied G2 ist das Rückkopplungsglied, welches einen Teil des ausgehenden Signals von G1 auf den Eingang von G1 zurückkoppeln kann.

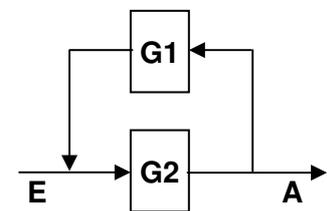


Abbildung 1: Signalflossbild einer Rückführungsschaltung

Die am Ausgang auftretende Wirkung wirkt also einen Einfluss auf den Eingang aus.

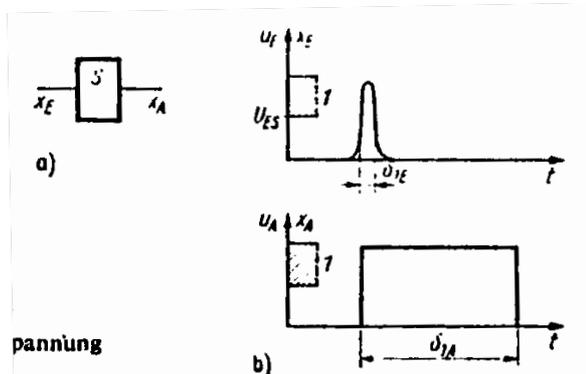
Je nach Struktur der Glieder G1 und G2 kann ein beliebig komplizierter Programmablauf erreicht werden. Ein Beispiel hierfür ist das bei Systemfehlern „automatisch“ ablaufende Rettungsprogramm, welches weitere Systemschäden verhindert, aufgetretene Schäden minimiert und bestenfalls sogar beheben kann.

Oberstes Ziel ist hierbei eine exakte Planung und Realisierung des zeitlichen Zusammenspiels der einzelnen Komponenten, sodass dynamische und strukturelle Fehler während des Programmablaufes nicht auftreten.

Monostabiler Multivibrator (Impulsdehner)

Eine Schaltung, die es ermöglicht, einen Impuls der Dauer δ_{1E} auf ein Rechtecksignal der längeren Dauer δ_{1A} auszudehnen, heißt monostabiler Multivibrator.

Das Schaltungssymbol sowie ein Zeitdiagramm über den Verlauf von Ein- und Ausgangsspannung sind in Abbildung 2 abgebildet.



Hat die Eingangsspannung U_E den Wert U_{ES} erreicht, so folgt ihr die Ausgangsspannung. Beide befinden sich dann im Zustand $x_E = x_A = 1$. Der Zustand am Ausgang bleibt so lange erhalten, wie es die innere Schaltung des Glieds S vorgibt.

Danach begibt sich der Ausgang wieder in den Zustand $x_A = 0$.

Abbildung 2: Monostabiler Multivibrator (a) Schaltsymbol (b) prinzipieller Verlauf von Ein- und Ausgangsspannung (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 93)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Das Kernstück des monostabilen Multivibrator besteht (nach Abbildung 3(a)) aus dem NAND-Gatter G2, einem Kondensator C, einem Widerstand R und dem Negator G3.

Für die richtige Polaritätslage von Ein- und Ausgangssignal sind die Negatoren G1 und G4 vorhanden.

Abbildung 3(b) zeigt typische Spannungsverläufe des Impulsdehners; im Anhang A1 befindet sich der zugehörige Programmablaufplan.

In Phase I, der Ruhelage, ist $x_3 = 0$ und somit auch $u_4 = 0$, da kein Strom durch R fließt.

Es gilt:

$$x_E = 0 \rightarrow x_1 = 1$$

$$x_4 = 0 \rightarrow x_5 = x_2 = 1 \rightarrow x_A = 0$$

Wegen $x_1 = x_2 = 1$ bleibt der Zustand aufgrund des NAND-Gatters stabil.

Bei einem Eingangsimpuls ergibt sich daher:

$$x_E = 1 \rightarrow x_1 = 0 \rightarrow x_3 = 1.$$

Und mit dem auftretenden Spannungssprung (kurzzeitiger Kurzschluss an C!), folgt Phase II:

$$u_4 \approx U_{\text{Batterie}}$$

$$x_4 = 1 \rightarrow x_5 = x_2 = 0 \rightarrow x_A = 1$$

Zum Aufladen benötigt der Kondensator C nun $\tau = RC$, dabei nimmt die Spannung an R

gleichermaßen ab und die Spannung u_4 geht langsam gegen Null. Normalerweise ist $x_E = 0$ bevor $u_4 = 0$.

Wegen $x_E = 0$ ist $x_1 = 1$ und es bleibt unverändert $x_3 = 1$ wegen der NAND-Gatter-Eingänge.

Mit $x_4 = 0$ folgt:

$$x_5 = x_2 = 1 \rightarrow x_A = 0 \Rightarrow x_2 = x_1 = 1 \rightarrow x_3 = 0 \text{ C entlädt sich damit über R und } u_4 \text{ macht einen Sprung ins Negative. In Phase III fließt der Ent- dem Aufladestrom entgegen.}$$

Nach der Entladung ist der monostabile Multivibrator wieder im Ausgangszustand, der Ruhelage.

Zusammenfassend sei gesagt, dass der Eingangsimpuls nicht länger als die Aufladezeit des Kondensators sein darf, da sonst keine Impulsdehnung stattfinden kann.

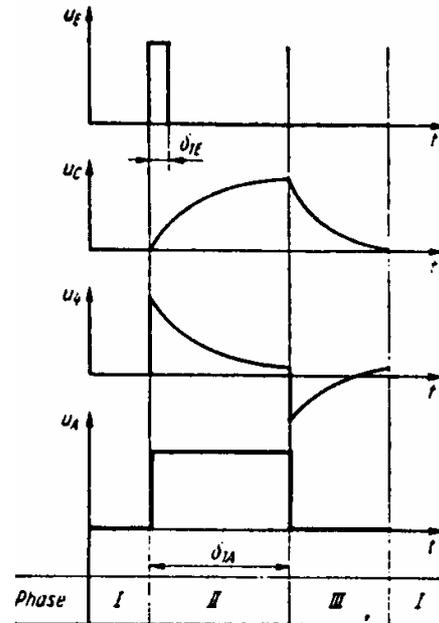
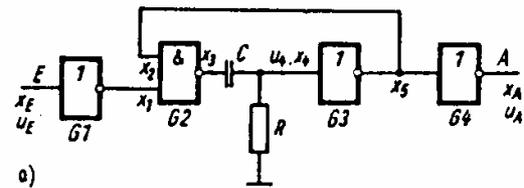


Abbildung 3: (a) Signalflossbild und (b) Zeitdiagramm einiger Spannungsverläufe des monostabilen Multivibrators (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 94)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Astabiler Monovibrator

Ein astabiler Multivibrator dient der Erzeugung von Rechteckimpulsen. Sein Schaltsymbol und das Zeitdiagramm der Ausgangsspannung befinden sich in Abbildung 4.

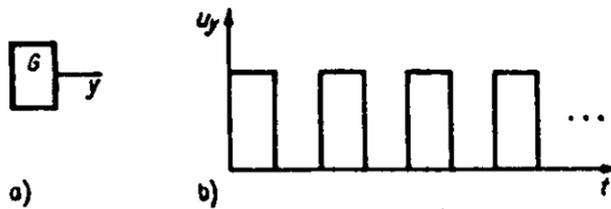


Abbildung 4: Astabiler Multivibrator (a) Schaltsymbol (b) Zeitdiagramm (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 96)

Aus Abbildung 5 lässt sich die folgende Kettenreaktion leicht ersehen:

$$\boxed{\rightarrow x_3 = 0 \rightarrow x_4 = 1 \rightarrow x_1 = 1 \rightarrow x_2 = 0 \rightarrow}$$

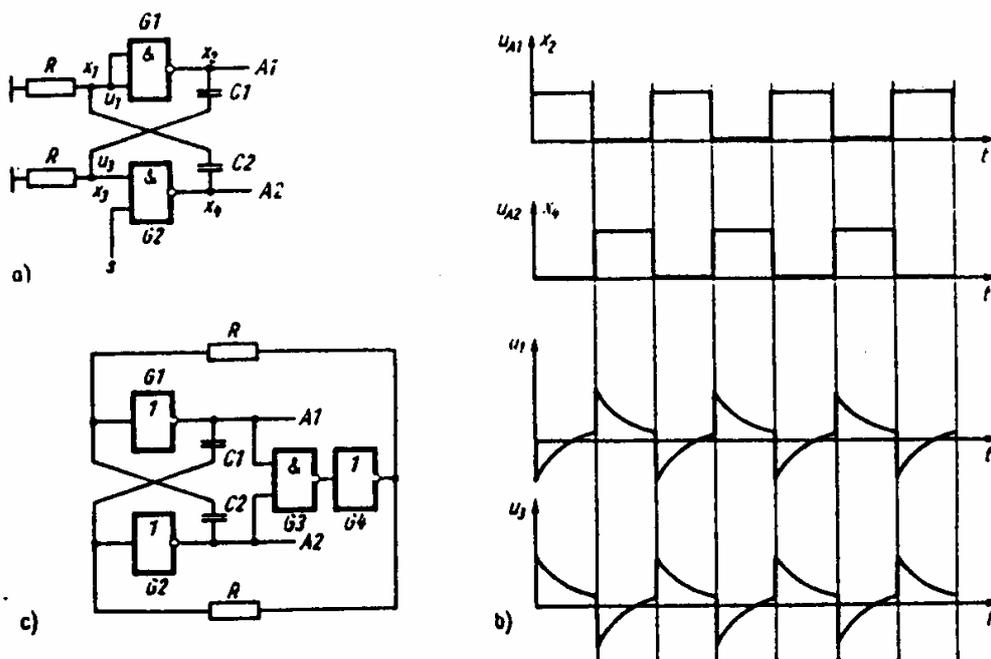


Abbildung 5: Astabiler Multivibrator (a) Signalflussbild (b) Zeitdiagramme einiger Spannungsverläufe (c) Signalflussbild für TTL-Technik (bei $R < 1,7k\Omega$ wird sicheres Anschwingen gewährleistet) (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 96)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

RS-Flip-Flop aus NAND-Gattern

Ohne die Widerstandskreise und die Kondensatoren aus Abbildung 5 ergibt sich eine Schaltung mit zwei stabilen Zuständen, das RS-Flip-Flop (RS-FF) nach Abbildung 6(a), mit dem Schaltsymbol aus Abbildung 6(b) und der Zustandstabelle nach Tabelle 1.

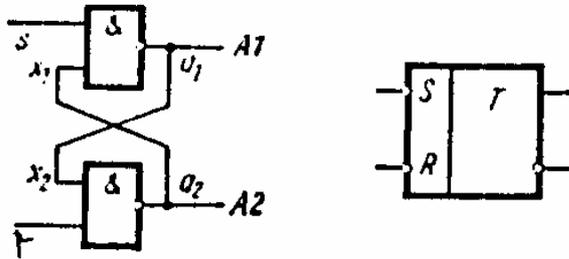


Abbildung 6: RS-FlipFlop (a) Flussdiagramm (b) Schaltsymbol (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 97)

	s (set)	r (reset)	x_1	x_2	a_1	a_2
Setzlage	1,0,1	1	0	1	1	0
Rücksetzlage	1	1,0,1	1	0	0	1

Tabelle 1: Zustandstabelle eines RS-FF

„1,0,1“ in Tabelle 1 bezeichnet einen Vorgang, bei dem der Zustand von s bzw. r zwischen 1,0 und 1 gewechselt hat, um die angegebene Variablenbelegung zu erreichen.

Aus dem in Abbildung 7 gezeigten Zeitdiagramm des RS-FF wird der Zusammenhang $a_1 = 1 \rightarrow x_2 = 1 \rightarrow a_2 = 0 \rightarrow x_1 = 0$ ersichtlich:

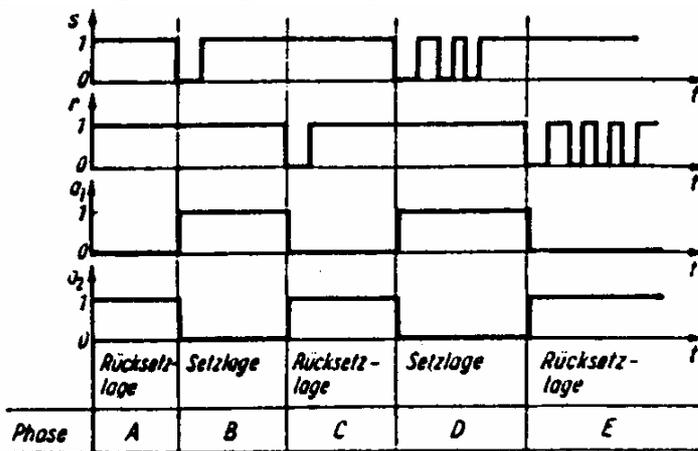


Abbildung 7: Zeitdiagramm des RS-FFs (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 98)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

RS-FFs werden in vielen komplexen Schaltungen verwendet. Allerdings finden sie auch als prellfreie Schalter gerne Verwendung. Dies soll durch Abbildung 8 verdeutlicht werden:

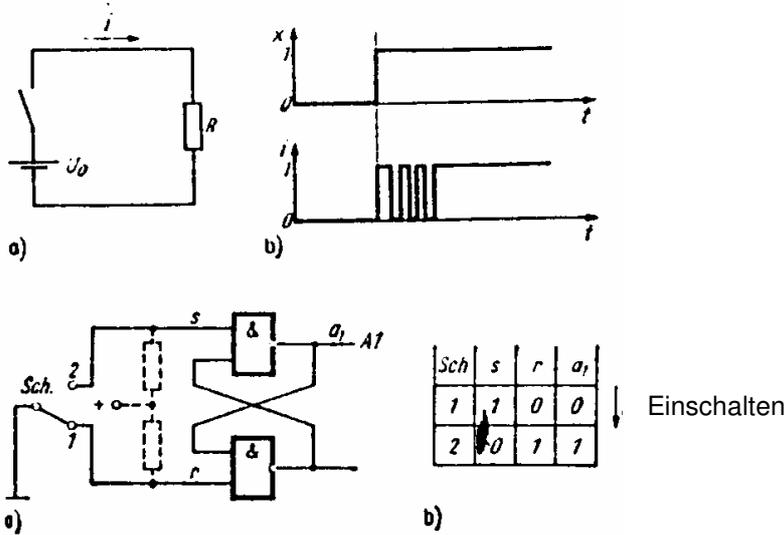


Abbildung 8:
 oben (Prellwirkung eines Schaltkontaktes): (a) Schaltung (b) Zeitdiagramm
 unten (Entprellung mit Hilfe von RS-FlipFlop): (a) Schaltung (b) Schaltbelegungstabelle
 (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 99)

Beim Schaltvorgang tritt in der Regel ein Prellen auf, anstelle eines einmaligen zeitlich definierten Spannungssprunges kommt es zu mehreren Sprüngen. Die Schaltung ist demnach nicht diskret. Abhilfe schafft ein zwischengeschaltetes RS-FF, das die Prellwirkung unterbindet und somit ein „sauberes“ Schalten ermöglicht.

Getaktetes RS-Flip-Flop

Aus einem RS-FF wird ein getaktetes RS-FF, wenn man die Eingänge mit NAND-Gattern versieht, deren jeweils zweites Argument der Systemtakt C ist.

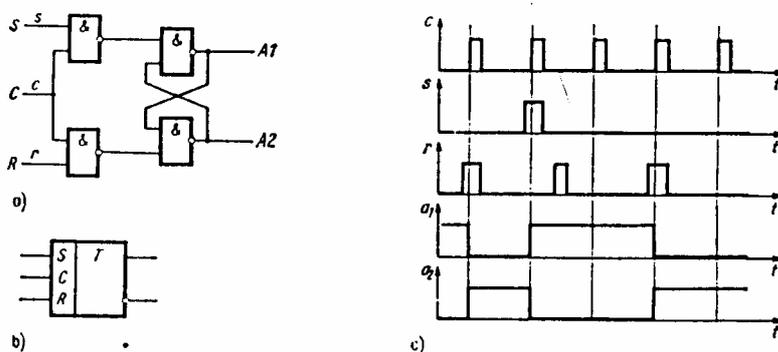


Abbildung 9: Getaktetes RS-FF (a) Signalflussbild (b) Schaltsymbol (c) Zeitdiagramme
 (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 101)

Abbildung 9 zeigt ein getaktetes RS-FF mit Schaltsymbol und Zeitdiagrammen. Das FF kann nur Werte übernehmen, wenn sie zur Zeit eines Taktimpulses an den Eingängen anliegen. Dies minimiert die Störanfälligkeit des FFs.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

D-Flip-Flip

Mit Hilfe eines Negators können die unerwünschten Eingangsbelegungen $s = r = 1$ und $s = r = 0$ vermieden werden.

Man verbindet die Eingänge miteinander und schaltet den Negator vor den Eingang von „r“, so dass $r = \bar{s}$ gilt.

D-Flip-Flop mit Taktflankensteuerung

Eine weitere Verbesserung stellen D-FFs mit Taktflankensteuerung dar, die Eingangswerte nur bei einer (positiven oder auch negativen) Taktflanke übernehmen können.

Aufschluss über den Aufbau und die Funktionsweise bringen die Abbildungen 10, 11 und die Zustandsfolgetabelle (Tabelle 2).

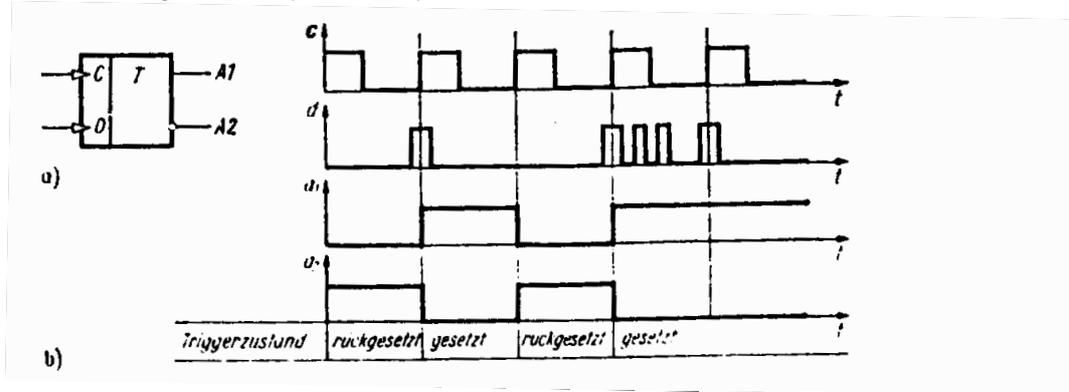


Abbildung 10: D-FF mit Taktflankensteuerung (a) Schaltsymbol (b) Zeitdiagramm (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 103)

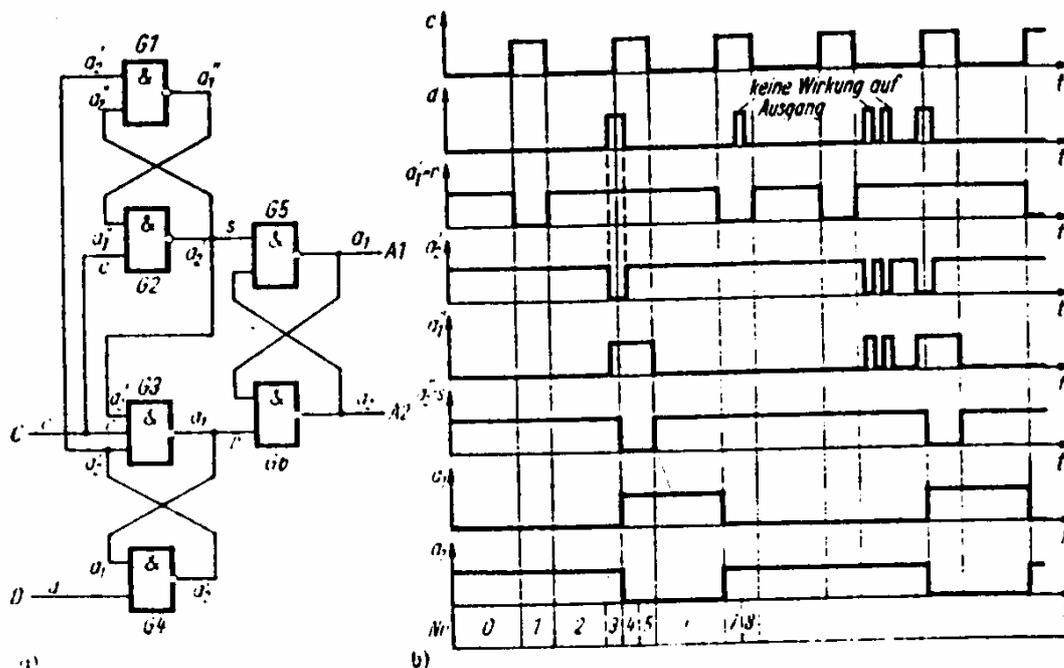


Abbildung 11: D-FF mit Taktflankensteuerung (a) Signalflussbild (b) ausführliche Zeitdiagramme (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 103)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Nr.	d	c	$a_1' = r$	a_2'	a_1''	$a_2'' = s$	a_1	a_2
0	0	0	1	1	0	1	0	1
1	0	1	0	1	0	1	0	1
2	0	0	1	1	0	1	0	1
3	1	0	1	0	1	1	0	1
4	1	1	1	0	1	0	1	0
5	0	1	1	1	1	0	1	0
6	0	0	1	1	0	1	1	0
7	0	1	0	1	0	1	0	1
8	1	1	0	1	0	1	0	1

Tabelle 2: Zustandsfolgetabelle für das D-FF mit Taktflankensteuerung nach Abbildung 11

JK-Master-Slave-Flip-Flop (JK-MS-FF)

Schaltet man zwei RS-Trigger nacheinander, wobei Rückführungsleitungen zwischen den Ausgängen der zweiten Stufe und den Eingängen der ersten Stufe bestehen, so erhält man ein JK-Master-Slave-FF mit den Eingangsvariablen j und k. Der erste RS-Trigger ist die Master- und der zweite die Slavestufe der Schaltung. Zum besseren Verständnis der Gesamtschaltung dient die Abbildung 12.

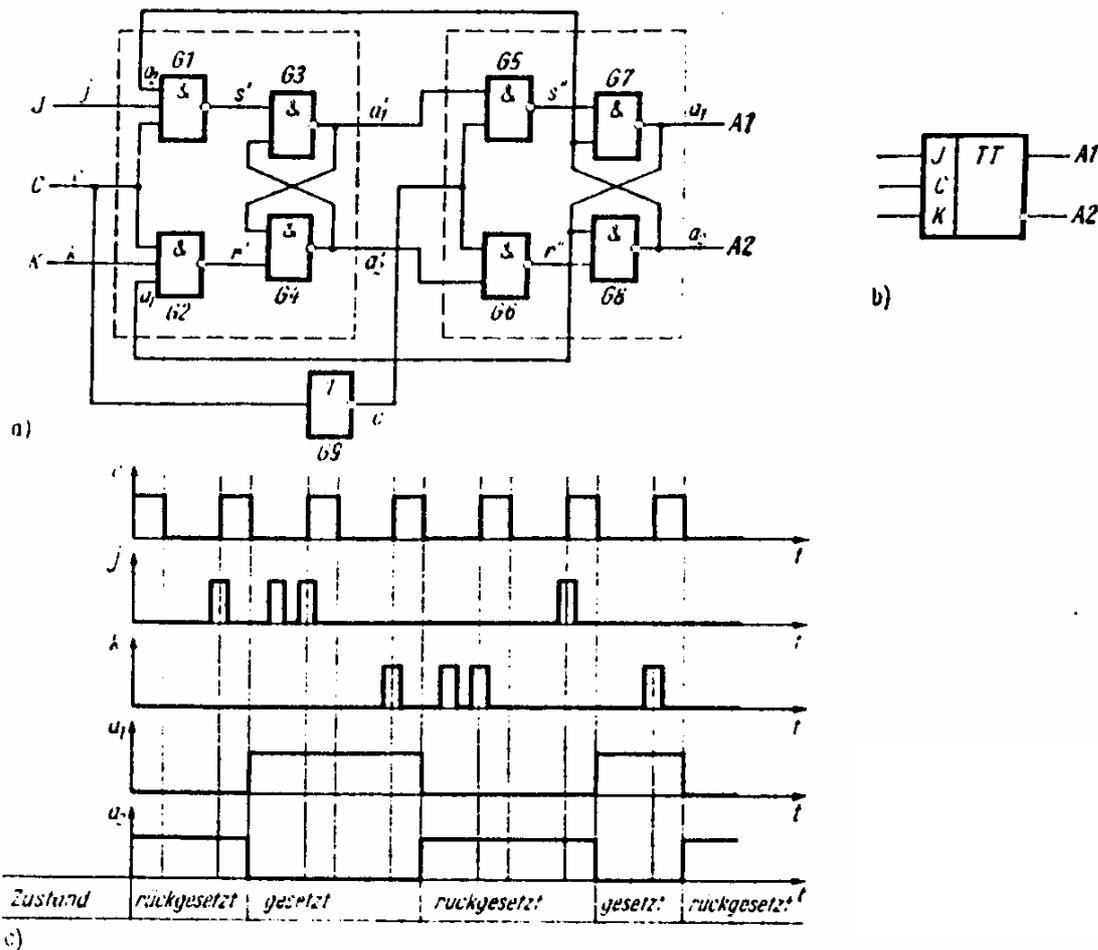


Abbildung 12: JK-Master-Slave-FF (a) Signalflussbild (b) Schaltsymbol (c) Zeitdiagramme (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 105)

Auf ein ausführliches Zeitdiagramm wird an dieser Stelle verzichtet, da es leicht analog zu den bisher vorgestellten FF-Typen rekonstruierbar ist.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Zusammenfassend wird während eines positiven Taktimpulses der mögliche Zustandswechsel im Master-FF vorgenommen und während der 1/0-Flanke des gleichen Taktimpulses der neue Zustand in das Slave-FF übertragen.

Schieberegister ohne Datenkreislauf

Register sind ein Zusammenschluss weniger FFs zu einem kleinen (aber schnellen) Speicher. Werden nun mehrere FFs so geschaltet, dass jeweils der Ausgang des aktuellen FFs mit dem Eingang des nächsten FFs verbunden wird, so spricht man von einem Schieberegister, bei dem die Daten das Register sequentiell durchlaufen können.

Zur Verdeutlichung dient Abbildung 13:

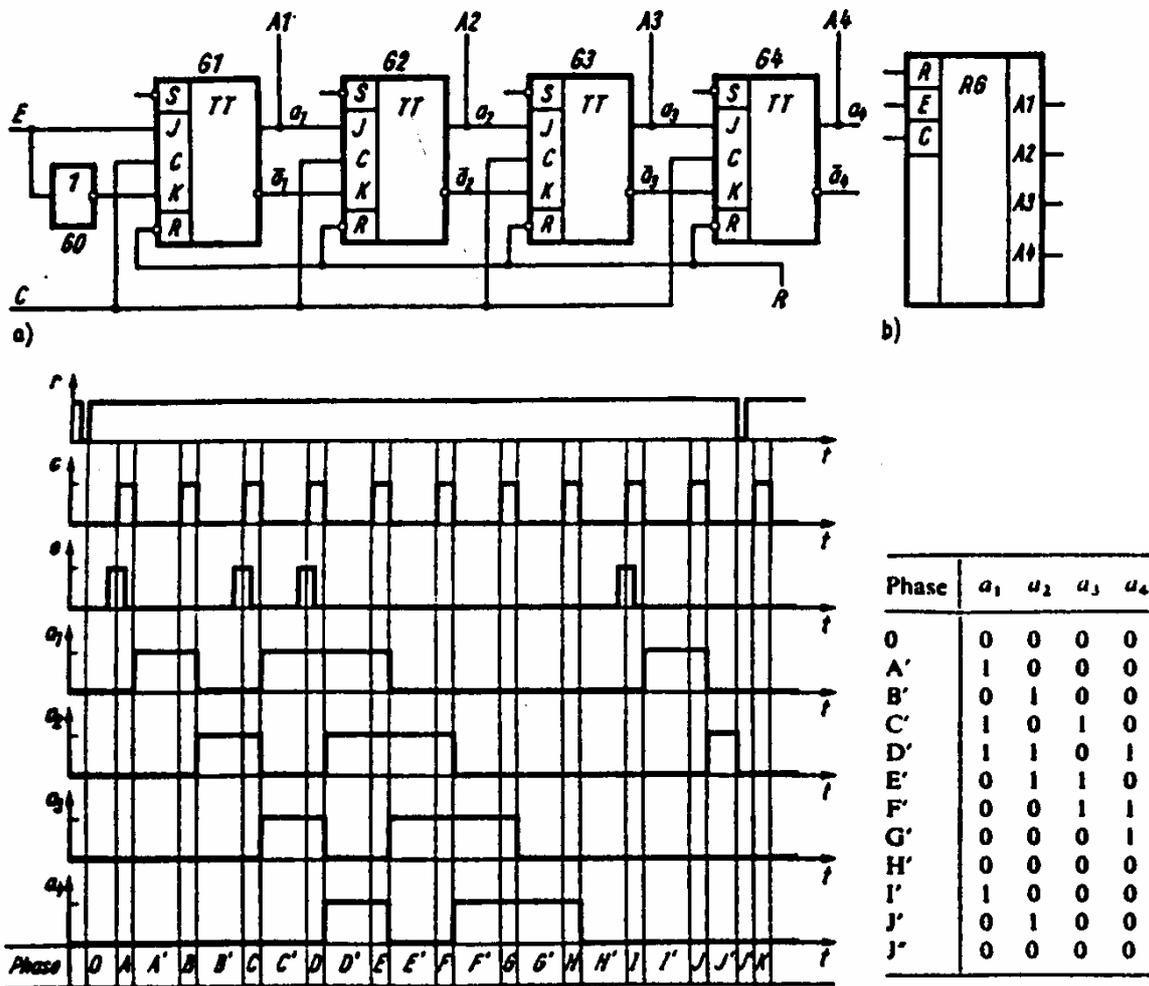


Abbildung 13: Schieberegister mit JK-FFs mit einer Richtung G1->G2->G3->G4
 (a) Signalflussbild (b) Schaltsymbol (c) Zeitdiagramme für Beispieldaten aus nebenstehender Tabelle
 (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 110)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Asynchrone Binärzähler

Asynchrone Binärzähler bestehen aus zusammen geschalteten FFs. Je nach Beschaltung kann eine gewünschte Zahlenfolge periodisch durchlaufen werden.

Ein Beispiel für einen asynchronen Binärzähler ist im Anhang A2 zu finden.

Bei asynchronen Binärzählern ist stets auf die Schaltzeiten der einzelnen Glieder zu achten, die sich stufenweise addieren. Wird die Schaltung zu schnell getaktet, so kommt es in der Regel zu Datenfehlern in Folge von Strukturfehlern. Strukturfehler bezeichnen strukturelle Inkompatibilitäten der einzelnen Schaltungselemente. So kann es sein, dass z.B. die Schaltzeit eines Elements nicht richtig bedacht wurde.

Die Folge sind Datenfehler (Data-Hazards) die weitere Fehler in der Ausführung des Programms mit sich ziehen.

Synchrone Binärzähler

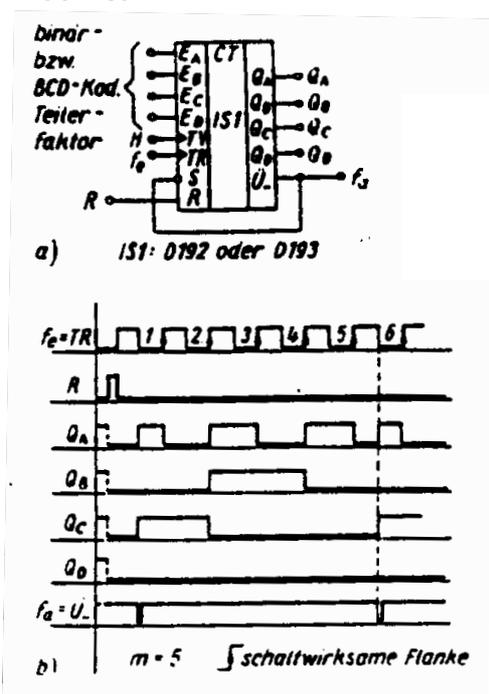
Synchrone Binärzähler ähneln asynchronen Binärzählern stark in ihrer Funktion. Es gibt jedoch zwei bedeutende Unterschiede.

Synchrone Binärzähler schalten mit der Geschwindigkeit des Systemtaktes zwischen den einzelnen Zuständen. Sie sind somit i.d.R. schneller als asynchrone Binärzähler. Der Nachteil liegt in den Kosten der Schaltung. So benötigen synchrone Schaltwerke bedeutend mehr Leitungen als asynchrone.

Ein Beispiel für einen synchronen Binärzähler ist im Anhang A3 zu finden.

Frequenzteiler

Frequenzteiler sind Hilfsmittel, um Taktübersetzungen zu realisieren. Aus den bisher vorgestellten Grundmodellen sind sie mit Hilfe von FFs realisierbar. Komfortabler ist jedoch die Verwendung eines programmierbaren Frequenzteilers, wie er in Abbildung 14(a) zu finden ist:



Über die vier Eingänge E_A bis E_D lässt sich das Teilverhältnis „m“ BCD-kodiert eingeben.

An f_e wird der Systemtakt gelegt. Dieser wird dann umgesetzt im Verhältnis 1:m und an f_a ausgegeben.

Das Resultat sieht man in Abbildung 14(b) unten.

Abbildung 14: Mit BCD-Code programmierbarer Frequenzteiler (aus /4/ Electronica, Heft 192, S. 17)

**Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007**

III Versuchsteil

Flip-Flops

III.i.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- NAND-Gatter
- JK-Master-Slave-Flip-Flop
- D-Flip-Flop mit Taktflankensteuerung
- Funktionsgenerator (Rechtecksignal)
- Betriebsspannungsquelle für Gatter-Modul
- 2 Voltmeter
- Laborsteckerkabel

Es wird ein

- a) (aus NAND-Gattern bestehendes)
 - a. RS-Flip-Flop (nach Abbildung 6)
 - b. getaktetes RS-Flip-Flop (nach Abbildung 9)
- b)
 - a. JK-Master-Slave-Flip-Flop (fertiges Bauteil nutzen, nach Abbildung 12)
 - b. D-Flip-Flop (fertiges Bauteil nutzen, nach Abbildung 11)

aufgebaut.

III.i.b Versuchsdurchführung

Die aufgebauten NAND-Gatter-Schaltungen werden nach der Theorie (Abbildung 7 bzw. 9) auf Funktion (→Zeitdiagramme) überprüft.

Für das JK-Master-Slave-Flip-Flop und das D-Flip-Flop ergeben sich folgende Zustandstabellen.

JK-Master-Slave-Flip-Flop

Vorgang	Eingänge		Q _n zur Zeit n (vor Taktsignal)		Q _{n+1} zur Zeit n+1 (nach Taktsignal)	
	j	k	a ₁	a ₂	a ₁	a ₂
halten	0	0	0	1	0	1
			1	0	1	0
setzen	1	0	0	1	1	0
			1	0	1	0
rück- setzen	0	1	0	1	0	1
			1	0	0	1
inver- tieren	1	1	0	1	1	0
			1	0	0	1

Protokoll zum Fortgeschrittenenpraktikum I**Elektronische Messtechnik im WS 2006/2007****D-FF**

<i>Nr.</i>	<i>d</i>	<i>c</i>	$a_1' = r$	a_2'	a_1''	$a_2'' = s$	a_1	a_2
0	0	0	1	1	0	1	0	1
1	0	1	0	1	0	1	0	1
2	0	0	1	1	0	1	0	1
3	1	0	1	0	1	1	0	1
4	1	1	1	0	1	0	1	0
5	0	1	1	1	1	0	1	0
6	0	0	1	1	0	1	1	0
7	0	1	0	1	0	1	0	1
8	1	1	0	1	0	1	0	1

III.i.c Zusammenfassung und Schlussfolgerungen

Die aufgebauten FFs entsprechen in vollem Umfang den theoretischen Erwartungen.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Schieberegister ohne Datenkreislauf

III.ii.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- JK-Master-Slave-Flip-Flops
- Funktionsgenerator (Rechtecksignal)
- Betriebsspannungsquelle
- Laborsteckerkabel

Es wird eine Schaltung nach Abbildung 13 aufgebaut.

Außerdem werden der Eingang und der Takt jeweils mit Hilfe eines prellfreien Schalters nach Abbildung 8 realisiert. Die vollständige Schaltung entspricht dann Abbildung 15:

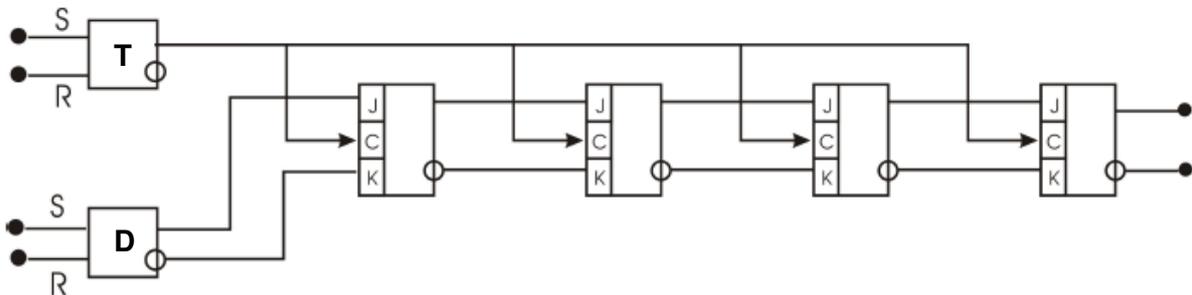


Abbildung 15: Schaltung eines Schieberegisters mit 4 JK-MS-FFs
(aus der Versuchsbeschreibung „Elektrische Logiksysteme mit Rückführung“ der Universität Rostock)

III.ii.b Versuchsdurchführung

Das Schieberegister wird mit verschiedenen Datenbelegungen überprüft.

Zum Setzen und Rücksetzen eines Bits wird hierbei das RS-FF „D“ aus Abbildung 15 verwendet (nach Tabelle 1). Der Takt wird mit Hilfe des RS-FFs „T“ erzeugt.

Die vorhandenen Ausgänge sind bereits mit LEDs beschaltet, sodass eine Funktionsüberprüfung ohne zusätzliche Messgeräte stattfinden kann.

III.ii.c Zusammenfassung und Schlussfolgerungen

Das Schieberegister arbeitet einwandfrei wie theoretisch erwartet.

Zum Test wurde auch die Datenbelegung nach Abbildung 13 gewählt, wobei das Verhalten der Schaltung vollständig dem des Beispiels entspricht.

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

Zähler

III.iii.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- JK-MS-FlipFlops
- Modul des 3-stelligen Dezimalzählers
- Funktionsgenerator (Rechtecksignal für Taktgeneration)
- Betriebsspannungsquelle
- Laborsteckerkabel

Es wird

- a) ein asynchroner BCD-Zähler mit JK-MS-FFs nach Abbildung 16,

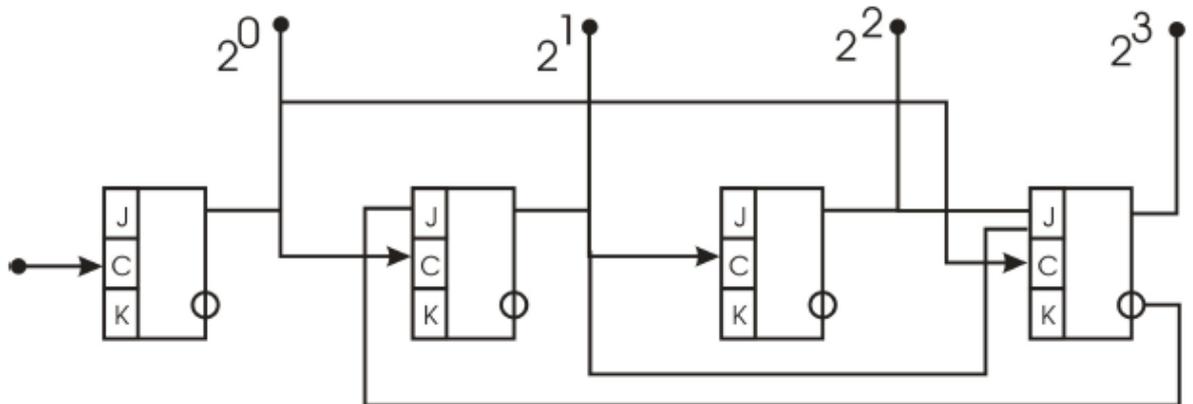


Abbildung 16: Asynchroner BCD-Zähler
 (aus der Versuchsbeschreibung „Elektrische Logiksysteme mit Rückführung“ der Universität Rostock)

- b) ein asynchroner Modulo-13-Zähler nach Abbildung 17,

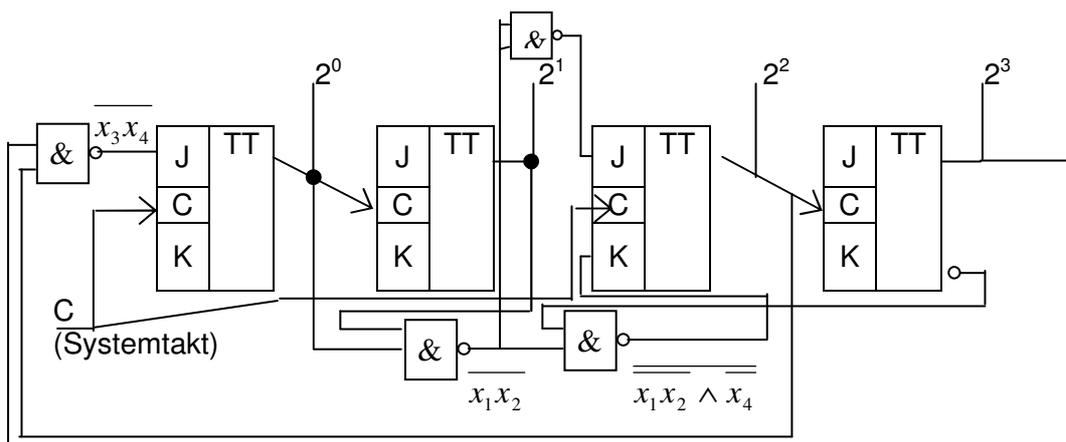


Abbildung 17: Signalflussbild des asynchronen Modulo-13-Zählers

Es sind hierbei:

$$\begin{aligned}
 C_1 &= T, J_1 = \overline{x_3 x_4}, K_1 = H & C_2 &= x_1, J_2 = K_2 = H \\
 C_3 &= T, J_3 = x_1 x_2, K_3 = \overline{x_1 x_2} \wedge \overline{x_4} & C_4 &= x_3, J_4 = K_4 = H
 \end{aligned}$$

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

c) ein synchroner Zähler mit der Zahlenfolge 0, 6, 4, 1, 5 nach Abbildung 18,

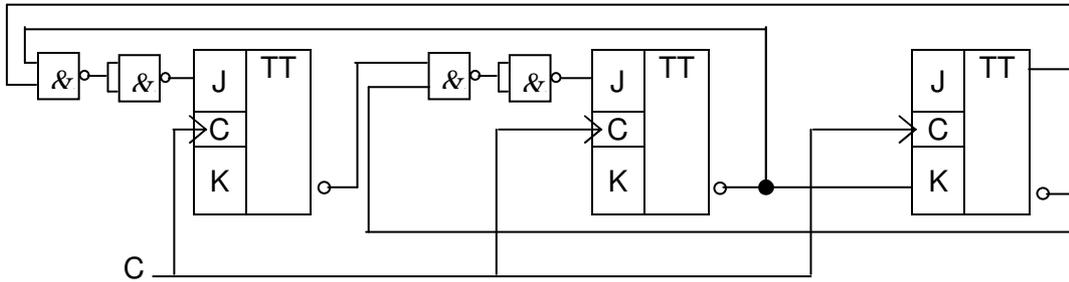


Abbildung 18: Synchroner Zähler der Zahlenfolge 0, 6, 4, 1, 5

Es sind hierbei:

$$C_1 = C_2 = C_3 = T,$$

$$J_1 = x_3 \overline{x_2}, \quad K_1 = x_3$$

$$J_2 = \overline{x_3} x_1, \quad K_2 = H$$

$$J_3 = H, \quad K_3 = \overline{x_2}$$

d) ein 3-stelliger Dezimalzähler nach Abbildung 19 aufgebaut:

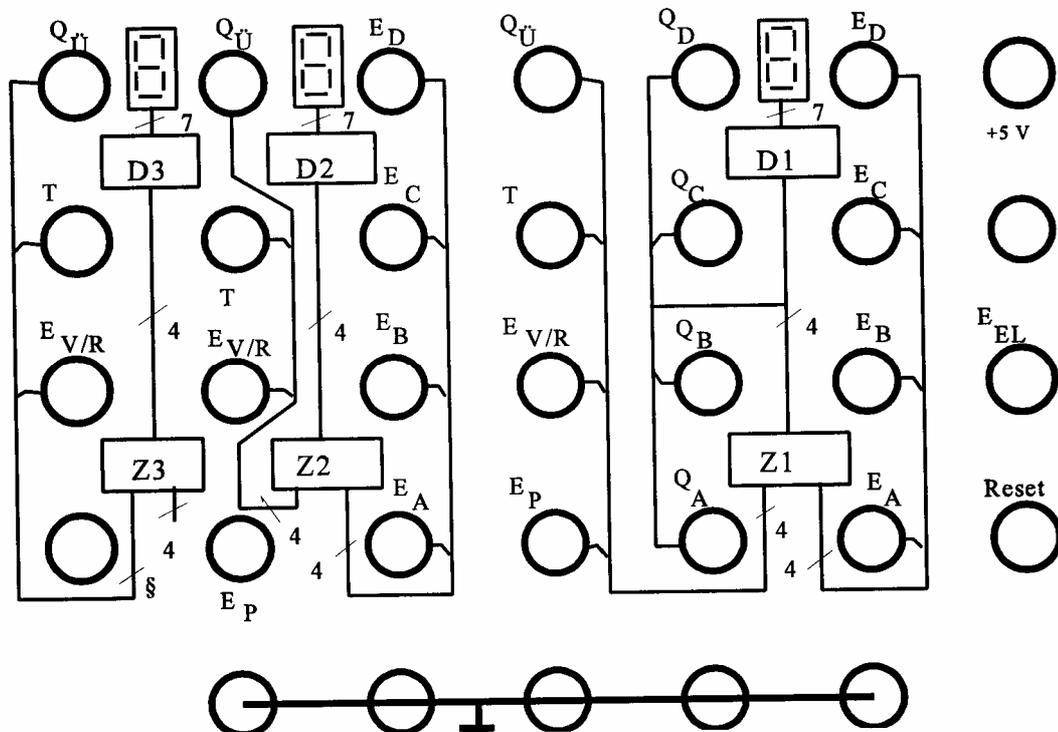


Abbildung 19: Modul des 3-stelligen Dezimalzählers
(aus dem Anhang zum Fortgeschrittenenpraktikum der Universität Rostock)

Protokoll zum Fortgeschrittenenpraktikum I**Elektronische Messtechnik im WS 2006/2007**

Es sind hierbei alle Eingänge wohl zu definieren.

Es gilt folgende Beschaltungstabelle (Tabelle 3):

Symbol	Name/Funktion	Pegelabhängigkeit	Grundbelegung für 3-stellige Zählfunktion
T	Takteingang	L/H-Flanke ist schaltwirksam	-
R	Reset	H-aktiv	L
$E_{V/R}$	Zählrichtung	H: Vorwärtsrichtung, L: Rückwärtsrichtung	H oder L
E_{EN}	Zählerfreigabe	L-aktiv	L
$E_{A...D}$	Paralleldateneingänge		-
E_P	Asynchroner Parallelladeeingang	H-aktiv (R=L!)	L
$Q_{\bar{U}}$	Übertragausgang	L-aktiv vorwärts: $Q_{\bar{U}}=L$, wenn $Q_1 = Q_4 = H$ rückwärts: $Q_{\bar{U}}=L$, wenn $Q_1 = Q_2 = Q_3 = Q_4 = E_{EN}=L$	Das $Q_{\bar{U}}$ einer rechts stehenden Stufe wird mit dem T der links stehenden Stufe verbunden.
E_{EL}	Freigabeeingang für Eingangsspeicher	L-aktiv	L
E_{BI}	Dunkeltasteingang	L-aktiv L an den Ausgängen a...g für $E_{BI}=L$ ($E_{LT}=H!$)	H
E_{LT}	Helltasteingang	L-aktiv H an den Ausgängen a...g für $E_{LT}=L$	H

Tabelle 3: Beschaltungstabelle des 3-stelligen Dezimalzählers

Die Grundbeschaltung für die Funktionsweise als 3-stelliger Zähler ist in der Tabelle bereits angegeben.

III.iii.b Versuchsdurchführung

a) BCD-Zähler

Die Funktionsweise des BCD-Zählers wird anhand der Theorie überprüft.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

b) Asynchroner Modulo-13-Zähler

Für die Betrachtung wird das Taktdiagramm des Zählers aufgenommen. Es ergibt sich bei Triggerung auf die am wenigsten schaltende Stufe (X4) folgendes Messbild (Abbildung 20), dabei wurden die Einzelmessungen mit der TRACE-Funktion des Oszilloskops übereinander gelegt:

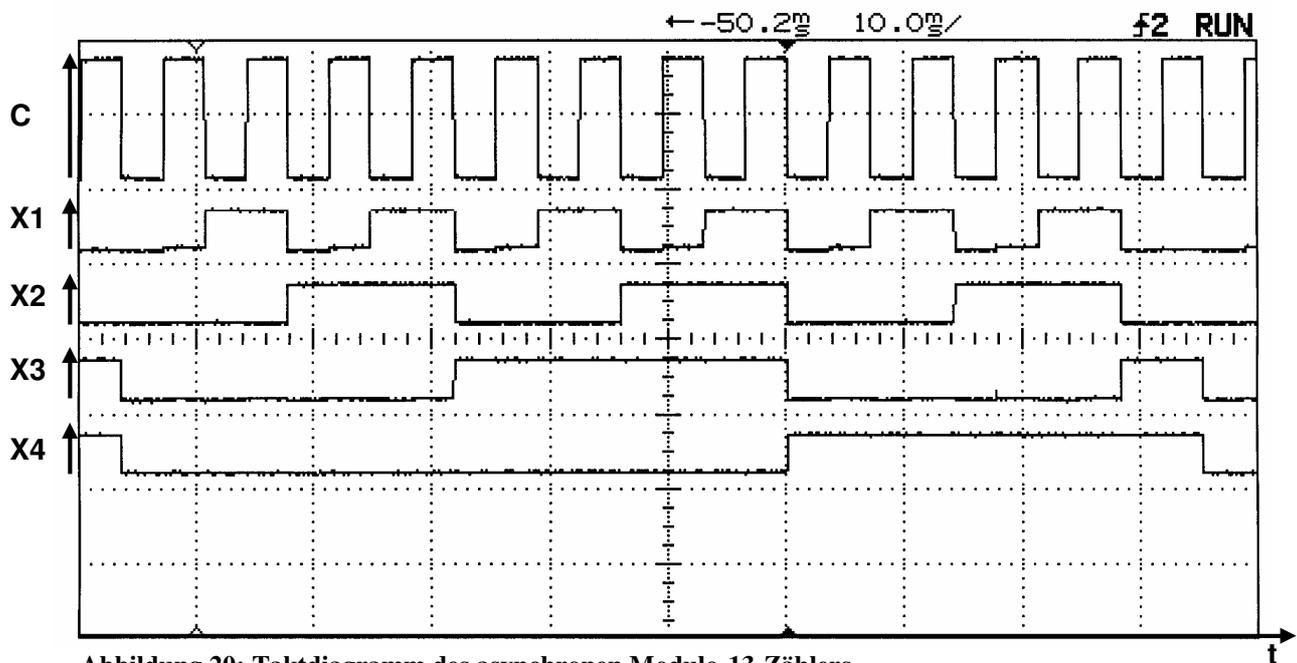


Abbildung 20: Taktdiagramm des asynchronen Modulo-13-Zählers

c) Synchroner Zähler für die Zahlenfolge 0, 6, 4, 1, 5

Es wird analog zu b) vorgegangen, wobei sich folgendes Taktdiagramm (Abbildung 21) ergibt:

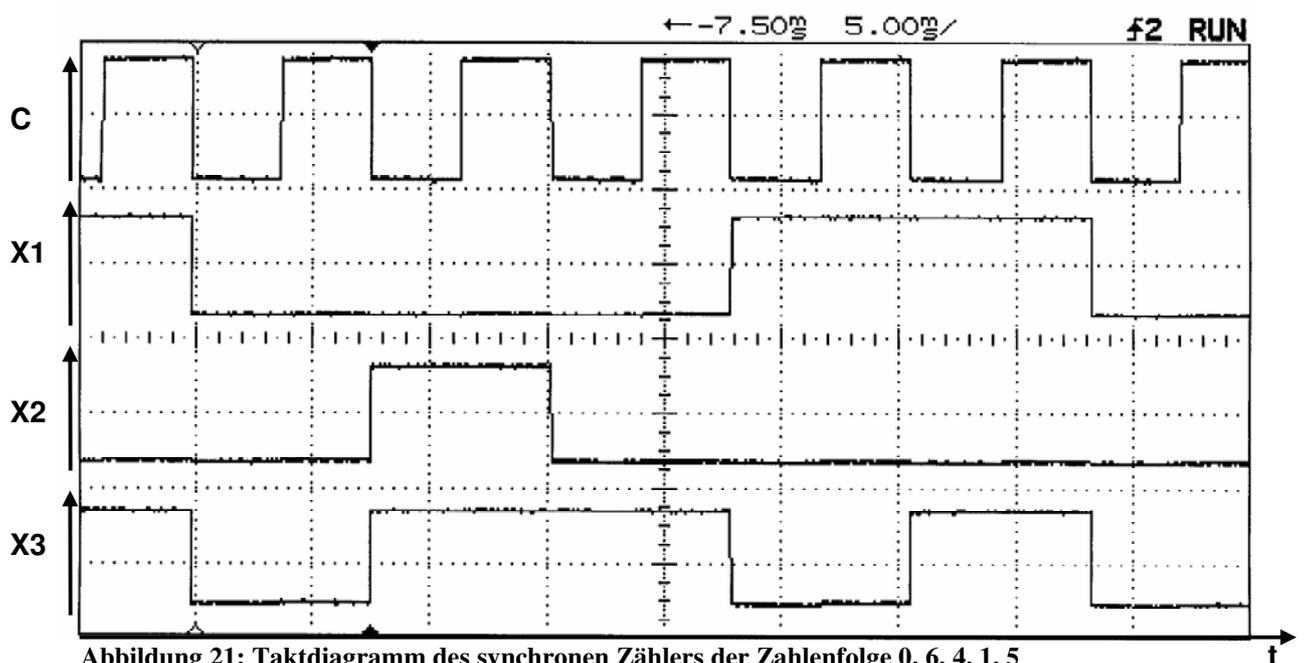


Abbildung 21: Taktdiagramm des synchronen Zählers der Zahlenfolge 0, 6, 4, 1, 5

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

- d) Es werden unterschiedliche Belegungen für T , $E_{V/R}$ und $Q_{\bar{U}}$ ausprobiert und die Antworten der Schaltung betrachtet.

III.iii.c Zusammenfassung und Schlussfolgerungen

- a) bis c) Die Versuche entsprechen im vollen Umfang den theoretischen Erwartungen.
- d) Der 3-stellige Dezimalzähler arbeitet in vollem Umfang wie nach Tabelle 3 erwartet.

Zur Verdeutlichung dient das folgende Taktdiagramm (Abbildung 22) der Eingänge:

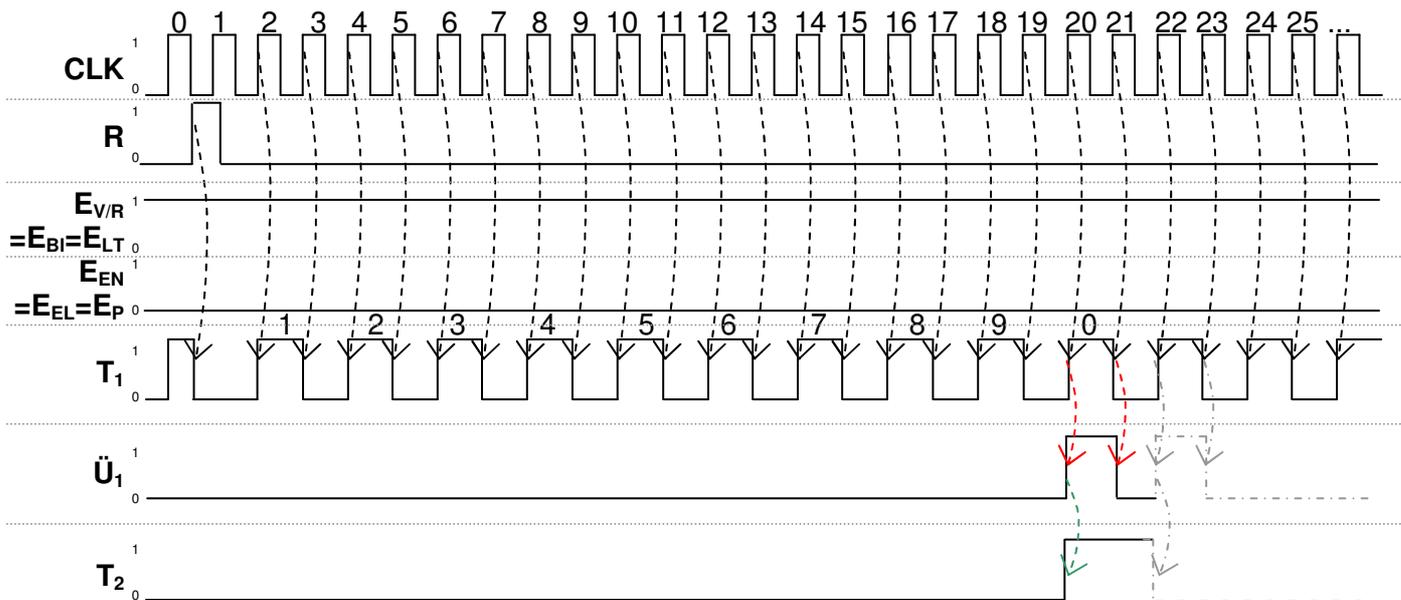


Abbildung 22: Taktdiagramm des vorwärts zählenden Dezimalzählers (Ausschnitt der ersten zwei Stufen)

Zu Beginn wird R (Reset) auf H gelegt, um alle Zähler auf 0 zu setzen. ($R_1 \dots R_4$ sind verbunden)

Da nicht gemessen wurde, wann der Übertrag der jeweiligen Stufe ein zweites Signal an das T der nächsten Stufe ausgibt, wurde es im Taktdiagramm nur gestrichelt eingezeichnet.

Erforderlich ist es auf jeden Fall, da die nächste Stufe sonst erst eine Periode zu spät die L/H-Schaltflanke bekäme und somit der vorherige Zähler zweimal von 0 bis 9 Zählen müsste, bis die Anzeige inkrementiert würde.

Die anderen Stufen können direkt nach dem gleichen Prinzip weiter ermittelt werden, was hier aus Platzgründen nicht gemacht wird.

Programmierbarer Teiler mit Teilverhältnis 1 bis 9:

Lässt man den Zähler rückwärts zählen, so kann man leicht über die Eingänge $E_A \dots E_D$ einen programmierbaren Teiler realisieren. Der Teilerfaktor wird in BCD-Kodierung an $E_A \dots E_D$ gelegt.

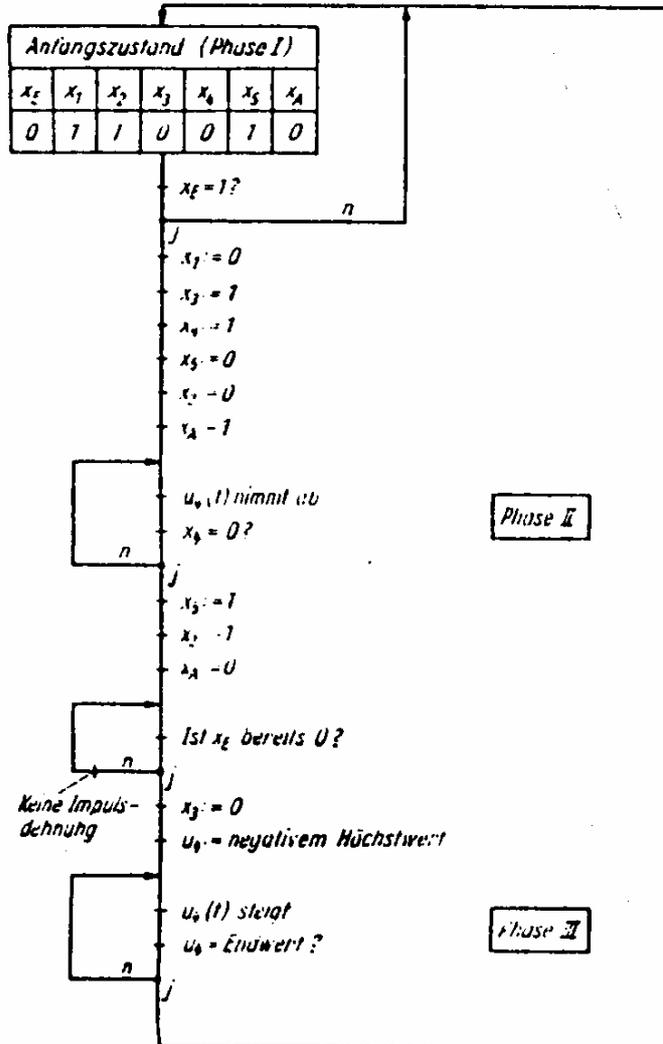
Für einen 6:1 Zähler geschieht folgendes:

Nach dem Resetsignal befindet sich der Zähler im Zustand $Q_1 = Q_2 = Q_3 = Q_4 = L$. Kommt nun eine Taktflanke an T an, so springt $Q_{\bar{U}}$ auf H-Pegel. Sind $Q_{\bar{U}}$ und E_P verbunden, so wird der Zähler auf den BCD-Wert von $E_A \dots E_D$ gestellt. Die nächsten Taktflanken an T dekrementieren den Zählerwert jeweils um 1. Nach der 6. Flanke geht es wieder von vorne los. Die Höchstfrequenz für diesen Prozess ist dabei von den Schaltzeiten des Zählers abhängig.

Protokoll zum Fortgeschrittenenpraktikum I

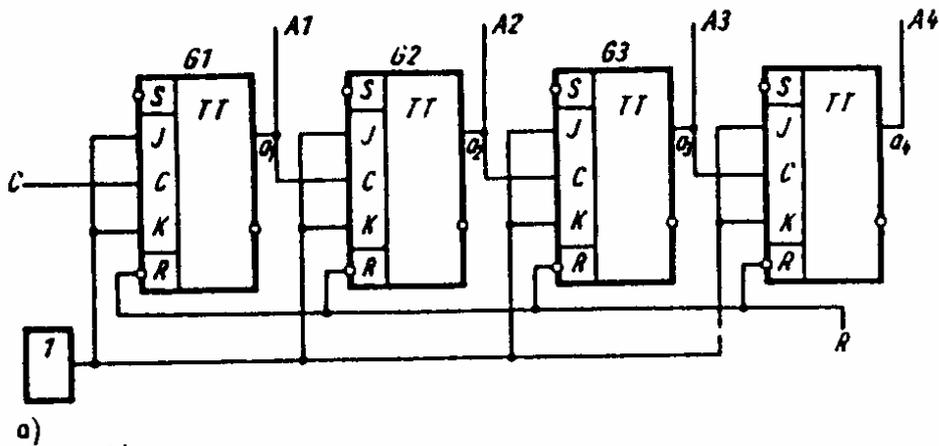
Elektronische Messtechnik im WS 2006/2007

IV Anhang

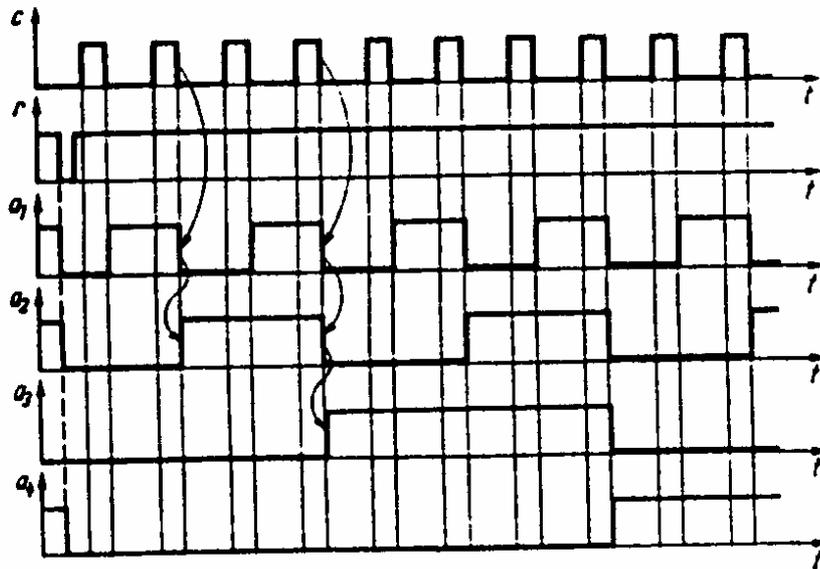


Anhang A 1: Programmablaufplan des monostabilen Multivibrators (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 94)

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007



a)



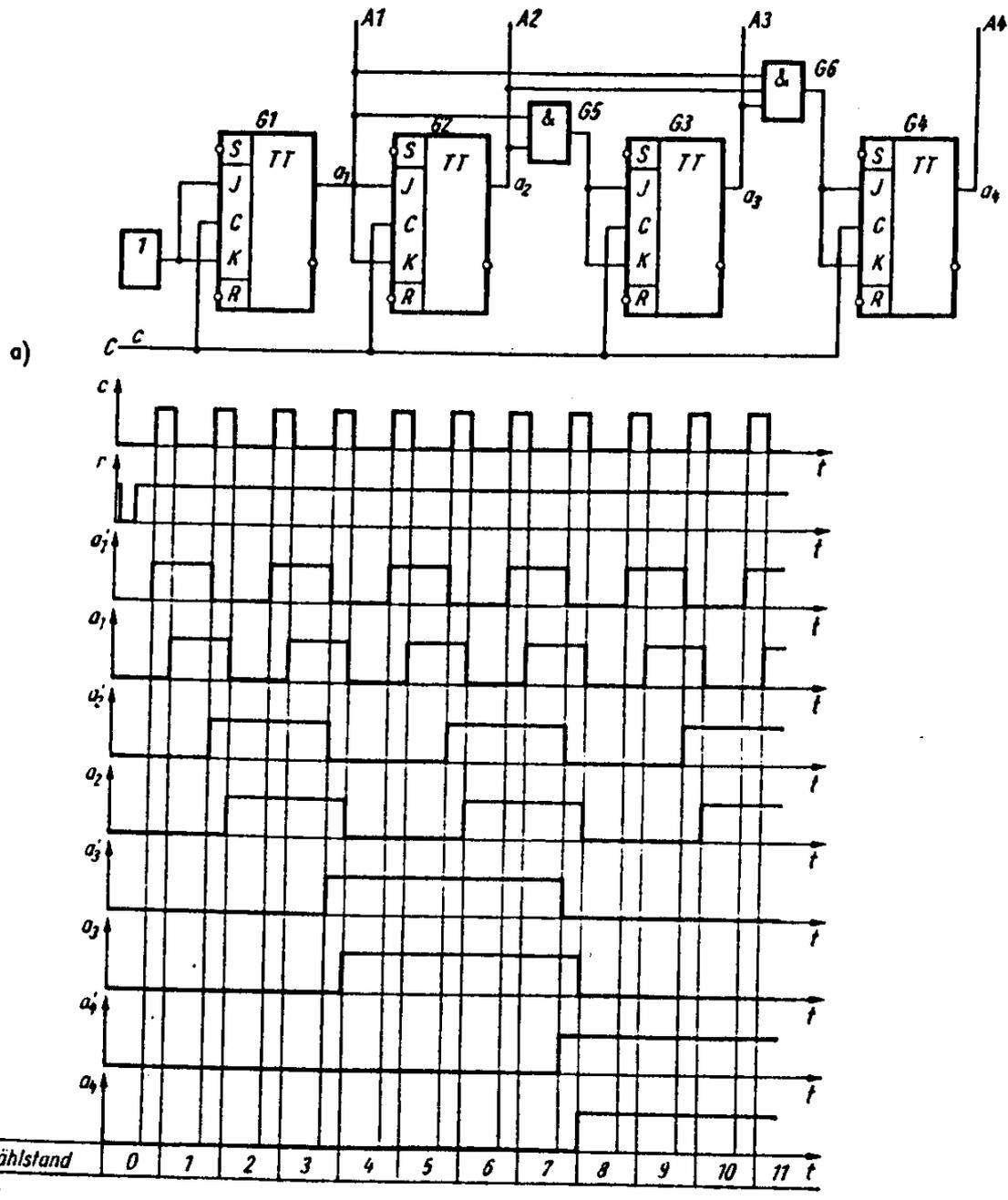
b)

Anhang A 2: Beispiel für einen asynchronen Binärzähler (a) Signalfussbild (b) Zeitdiagramme (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 120)

Taktimpuls	a4	a3	a2	a1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	1	0	1	0
1	1	0	1	1
2	1	1	0	0
3	1	1	0	1
4	1	1	1	0
5	1	1	1	1

Zustandsfolgetabelle für den asynchronen Binärzähler nach Anhang A2

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007



Anhang A 3: Beispiel für einen synchronen Binärzähler (a) Signalflussbild (b) Zeitdiagramme (aus /2/ Matschke, J.: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 125)